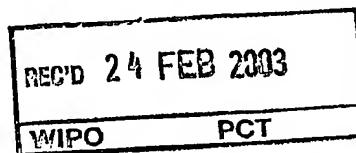


Rec'd PCT/PTO 09 JUL 2004



**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 102 01 162.1

Anmeldetag: 15. Januar 2002

Anmelder/Inhaber: Robert Bosch GmbH, Stuttgart/DE

Bezeichnung: Halbleiteranordnung mit einem pn-Übergang und
Verfahren zur Herstellung einer Halbleiteranord-
nung

IPC: H 01 L 29/861

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprüng-
lichen Unterlagen dieser Patentanmeldung.

München, den 11. Februar 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Hoiß

29.11.01 Sb/Pv

ROBERT BOSCH GMBH, 70442 Stuttgart

Halbleiteranordnung mit einem pn-Übergang und Verfahren zur
Herstellung einer Halbleiteranordnung

Stand der Technik

Die Erfindung geht aus von einer Halbleiteranordnung und einem Verfahren nach der Gattung der nebengeordneten Ansprüche.

Halbleiterdioden zur Spannungsbegrenzung sind allgemein bekannt und werden im allgemeinen als pn-Dioden so ausgelegt, dass eine p-Schicht in ein homogen dotiertes n-Gebiet eindiffundiert ist. Zur Reduktion des Bahnwiderstandes und der besseren ohmschen Anbindung des n-Halbleiters an die Metallisierung wird das n-dotierte Gebiet von der Waferrückseite her oftmals stark n-dotiert.

Aus der Druckschrift DE 4320780 ist eine Halbleiterdiode bekannt, bei welcher die auftretende Feldstärke im Randbereich des Halbleiterchips geringer ist als die Feldstärke im Inneren des Bauteils.

Vorteile der Erfindung

Die erfindungsgemäße Halbleiteranordnung und das
erfindungsgemäße Verfahren mit den Merkmalen der
5 nebengeordneten Ansprüche haben demgegenüber den Vorteil,
dass die Halbleiteranordnung zur Reduktion der Feldstärke
am Chiprand, sowie die Herstellung der Halbleiteranordnung
wesentlich einfacher ist.

10 Durch die in den Unteransprüchen aufgeführten Maßnahmen
sind vorteilhafte Weiterbildungen und Verbesserungen der in
den nebengeordneten Ansprüchen angegebenen
Halbleiteranordnung und des Verfahrens zu deren Herstellung
15 möglich.

Zeichnung

20 Ein Ausführungsbeispiel der Erfindung ist in der Zeichnung
dargestellt und in der nachfolgenden Beschreibung näher
erläutert. Es zeigen

25 Figur 1 eine schematische Darstellung des Querschnitts
einer bekannten Diode, Figur 2 eine schematische
Darstellung des Querschnitt einer erfindungsgemäßen
Halbleiteranordnung, Figur 3 eine schematische Darstellung
der Herstellungsschritte zur Herstellung der
erfindungsgemäßen Halbleiteranordnung.

30 Beschreibung

In Figur 1 ist eine bekannte Diode 100 in ihrem Querschnitt dargestellt. Halbleiterdioden 100 zur Spannungsbegrenzung werden in der Regel als pn-Dioden so ausgelegt, dass eine p-dotierte Schicht 2, die im folgenden auch als erste Schicht 2 bezeichnet wird, in ein homogen n-dotiertes Gebiet 1, eindiffundiert ist. Zur Reduktion des Bahnwiderstandes und zur besseren ohmschen Anbindung des n-Halbleiters an die Metallisierung wird das n-dotierte Gebiet 1 von der Waferrückseite, welche in allen Figuren im unteren Teil der Figur zu denken ist, her stark n-dotiert. Hierdurch entsteht eine mit dem Bezugszeichen 3 bezeichnete dritte Schicht 3. Die Bezugnahme auf n-Dotierung bzw. p-Dotierung für bestimmte Schichten oder Gebiete ist in Figur 1 und in allen weiteren Figuren lediglich beispielhaft zu verstehen; der für die Dotierung verwendete Ladungsträgertyp kann erfindungsgemäß auch vertauscht werden. Die Schichten 1, 2, 3 bilden zusammen den als Chip 10 bezeichneten Halbleiterkörper. Als Halbleitermaterial kommt dabei insbesondere Silizium in Frage; es kann jedoch auch ein anderes Halbleitermaterial Verwendung finden. Diese Aussage bezieht sich gleichfalls auf alle folgenden Figuren.

Weiterhin ist in Figur 1 eine Oberseitenmetallisierung 4 und eine Unterseitenmetallisierung 5 dargestellt.

Wird an eine solche Diode 100 eine Sperrspannung U_s angelegt, so steigt der Strom stark an, sobald die Zenerspannung U_z überschritten ist. Die Ursache des Stromanstiegs, d.h. der Spannungsbegrenzung, liegt in dem einsetzenden Avalanche- oder Lawineneffekt begründet. Bei Anlegen einer Sperrspannung U_s bildet sich an der pn-

Grenzfläche, d.h. am pn-Übergang, eine sogenannte Raumladungszone aus. Ab einer bestimmten elektrischen Feldstärke E_{krit} von ca. $(2-4) \cdot 10^5$ V/cm werden Ladungsträger in der Raumladungszone so stark beschleunigt, dass sie bei Stößen mit dem Kristallgitter Bindungen des Halbleiters aufbrechen und so weitere Elektronen und Löcher erzeugen, die ihrerseits beschleunigt werden und Bindungen aufbrechen können. Dadurch steigt der Strom über alle Maßen an, d.h. er kann sehr groß werden. Bei der bekannten Diode 100 gemäß der Figur 1 endet der pn-Übergang in dem Bereich eines Sägegrabens des Chips. Zur Herstellung der Dioden 100 wird nämlich eine Vielzahl von Diodenchips 10 als sogenannter Wafer gemeinsam hergestellt und prozessiert. Diese Vielzahl von Chips 10 müssen anschließend vereinzelt werden. Dies geschieht beispielsweise durch Sägen. Hierdurch entstehen die Sägegräben, welche aber in Figur 1 nicht eigenständig mit einem Bezugszeichen bezeichnet sind, sondern lediglich als Rand des Chips erkennbar sind. Das Kristallgitter ist im Bereich der Sägegräben, je nach Sägeart und Sägeprozess bis zu einer Tiefe, d.h. in einer Richtung parallel zur Chipebene, von einigen Mikrometern bis einigen zehn Mikrometern gestört. Solche Bereiche, die im folgenden auch als Damagezone bezeichnet werden, weisen hohe Zustandsdichten in der Bandlücke auf. Die Damagezone bzw. ihre Breite bzw. Tiefe ist in Figur 1 mit dem Bezugszeichen 22 bezeichnet. Durch die hohe Zustandsdichte in der Bandlücke erhöht sich die Rekombinationswahrscheinlichkeit für Ladungsträger und damit der Sperrstrom. Die zur Auslösung des Lawineneffekts benötigte elektrische Feldstärke ist im Bereich der Damagezone wesentlich kleiner als im inneren, ungestörten Chipbereich. Deswegen findet der Lawinendurchbruch bei der Diode 100 zuerst am Chiprand

statt. Die Folge davon sind Vordurchbrüche, die sich in verrundeten Sperrkennlinien äußern. Da deshalb die Stromdichte in diesen Randbereichen erhöht ist, wird die pn-Diode 100 am Chiprand stärker thermisch belastet als in der Mitte. Dies hat eine deutlich reduzierte Impulsfestigkeit der Diode zur Folge. Bei derartigen Dioden 100 ist es deshalb üblich, den gestörten Chipbereich, d.h. die Damagezone, beispielsweise durch Ätzen mit KOH, abzutragen.

In Figur 2 ist eine schematische Darstellung des Querschnitts einer erfindungsgemäßen Halbleiteranordnung 200 gezeigt. Der Chip 10 bzw. das Halbleitersubstrat 10 umfaßt die erste Schicht 2, welche beispielhaft p-dotiert vorgesehen ist. Weiterhin umfaßt der Chip 10 die zweite Schicht 1, welche beispielhaft n-dotiert vorgesehen ist. Die p-dotierte erste Schicht 2 wird in spezieller strukturierter Weise in das Halbleitermaterial 10 eingebracht, so dass ein in Figur 2 angedeuteter Randbereich 2a der ersten Schicht 2 und ein Mittenbereich 2b der ersten Schicht 2 entsteht. Der Randbereich 2a weist eine geringere Dotierstoffkonzentration auf als der Mittenbereich 2b in der Chipmitte. Weiterhin verläuft die Grenzfläche zwischen der p-dotierten ersten Schicht 2 und der n-dotierten zweiten Schicht 1, wobei die Grenzfläche in Figur 2 mit dem Bezugszeichen 12 bezeichnet ist, im Randbereich 2a der ersten Schicht 2 nicht mehr parallel zur Waferoberfläche bzw. zur Chipebene, welche in Figur 2 mit einem Doppelpfeil und dem Bezugszeichen 13 bezeichnet ist. Die Grenzfläche 12 ist im Randbereich 2a zur ersten Schicht 2 hin, d.h. zur Chipoberseite hin, gebogen. Beide Eigenschaften, die geringe p-Dotierungskonzentration und

der nichtparallele Verlauf des pn-Übergangs 12 erhöhen die kritische Feldstärke E_{krit} im Randbereich 2a des Chips 10. Dadurch wird erreicht, dass der Lawinendurchbruch im Innern des Chips 10, d.h. im Mittenbereich 2b der ersten Schicht 2, und nicht am Chiprand stattfindet. Daraus resultieren geringe Sperrströme und höhere Impulsfestigkeiten. Außerdem kann in den meisten Fällen das aufwendige Entfernen der Damagezone (die in Figur 2 der Einfachheit halber nicht dargestellt ist) mittels Ätzen entfallen. Die geringere Dotierung des Randbereichs 2a führt zu einer pn-Diode mit höherer Zenerspannung am Chiprand als im Mittenbereich 2b, da sich die Raumladungszone mehr in den Randbereich 2a erstreckt als in den Mittenbereich 2b. Der Randbereich 2a gelangt im Sperrbetrieb nicht in den Lawinendurchbruch, da die innere Diode, d.h. der pn-Übergang zwischen dem Mittenbereich 2b und der zweiten Schicht 1, einen Spannungsanstieg über die Zenerspannung, die für den Randbereich 2a maßgeblich ist, hinaus verhindert. Der nichtparallel Verlauf des pn-Übergangs 12 im Randbereich 2a gegenüber der Chipebene 13 entspricht dem Prinzip des sogenannten positiven Bevelings, welches ebenfalls zu einer größeren lokalen Zenerspannung führt. Infolge der Ladungsneutralität dehnt sich die Raumladungszone am Rand weiter aus als im parallelen Fall, so dass die elektrische Feldstärke an der Oberfläche, d.h. am Randbereich 2a noch weiter herabgesetzt ist. Durch das erfindungsgemäße positive Beveling der Grenzfläche 12, d.h. durch die "Durchbiegung" des Randbereichs 12 nach oben hin, im Randbereich 2a ergibt sich durch eine Trennung der Chips 10 eines Wafers an bestimmten Stellen der gekrümmten bzw. gebogenen Grenzfläche 12 ein unterschiedlicher Winkel zwischen der Grenzfläche 12 und der Chipoberfläche, d.h.

der Chipebene 13, je nach dem an welcher Stelle des Grenzflächenverlaufs der Grenzfläche 12 der Chip 10 abgetrennt wird. Dieser Winkel wird auch Beveling-Winkel genannt und ist in der Figur 2 mit dem Bezugszeichen 14
5 versehen. Je kleiner nach der Trennung bzw. Vereinzelung der Chips 10 ein übrigbleibender Teilbereich ist, desto kleiner wird - bei sonst gleichen Bedingungen - der Beveling-Winkel 14 sein. Beispielfhaft beträgt der Beveling-Winkel der erfindungsgemäßen Halbleiteranordnung 200
10 wenigstens 45° . Der nach der Vereinzelung der Chips 10 übrigbleibende Teilbereich ist in Figur 2 mit dem Bezugszeichen 20 versehen. Diese Breite entspricht im wesentlichen - bis auf die Sägeblattbreite beim Vereinzeln, welche im Zusammenhang mit Figur 3e weiter unten
15 beschrieben ist - der Hälfte der Breite des Teilbereichs 7, welcher im Zusammenhang mit der Figur 3b weiter unten genauer beschrieben ist.

In Figur 3 wird ein Beispiel eines Herstellungsprozesses
20 der erfindungsgemäßen Halbleiteranordnung 200 bzw. der erfindungsgemäßen Diode 200 dargestellt. Die Diode 200 weist beispielhaft eine Zenerspannung von ca. 50 V auf. Selbstverständlich kann eine solche Diode auch für größere oder kleinere Spannungen ausgelegt werden.

25 Ein Siliziumsubstrat 10 bzw. der Chip 10 mit einer Dicke von ca. $200\mu\text{m}$ und einer n-Dotierung von ca. $2,6 \cdot 10^{17} \text{cm}^{-3}$ wird beispielhaft auf der Vorderseite, d.h. jeweils im oberen Teil der dargestellten Anordnungen, mit Bor, auf der
30 Rückseite, d.h. jeweils im unteren Teil der dargestellten Anordnungen, mit Phosphor belegt. Hierdurch entsteht eine in Figur 3a dargestellte Anordnung mit der ersten, im

Beispiel mit Bor dotierten, Schicht 2, der zweiten, im
Beispiel mit der n-Grunddotierung versehenen, zweiten
Schicht 1 und der dritten, im Beispiel mit Phosphor
dotierten, Schicht 3. Oberhalb von Figur 3a ist noch die
5 Chipebene 13 mittels eines Doppelpfeils dargestellt. Die
Belegung mit Bor bzw. Phosphor kann erfindungsgemäß
beispielsweise durch Ionenimplantation, durch ein
Dotierglas oder durch eine Dotierfolie erfolgen.
Insbesondere können dotierte Glasschichten durch APCVD-
10 Verfahren (Atmospheric pressure chemical vapour deposition)
aufgebracht werden oder es können Dotierfolien in bekannter
Weise verwendet werden. Durch diese Verfahren ist es in
vorteilhafter Weise möglich, Dotierstoffe praktisch
gleichzeitig auf die Vorderseite, beispielsweise Bor, und
15 auf die Rückseite, beispielsweise Phosphor, aufzubringen.
Im Falle der dotierten APCVD-Gläser erfolgt anschließend
eine etwa 0,5-3 Stunden dauernde Diffusion bei hohen
Temperaturen. Bei Folienbelegung erfolgt beispielsweise
eine Diffusion von 0,5-3 Stunden bei 1265°C in
20 Sauerstoffhaltiger Atmosphäre. Danach befindet sich der
Siliziumwafer bzw. der Chip 10 in einem Zustand wie in
Figur 3a dargestellt ist. Die Bor- bzw. Phosphordosen
betragen beispielsweise $(1-2) \cdot 10^{17} \text{cm}^{-2}$.

25 Anschließend wird die Wafervorderseite strukturiert. Dies
kann in besonders vorteilhafter Weise durch Einsägen der
Vorderseite mit einer Diamantsäge oder durch
wasserunterstütztes Laserschneiden erfolgen. In der Figur
3b ist der resultierende Chip 10 bzw. der Wafer nach dem
30 Strukturierungsschritt dargestellt. Die Sägetiefe, die in
Figur 3b mit dem Bezugszeichen 21 bezeichnet ist, beträgt
beispielsweise 5-35 μm . Im Regelfall wird die Sägetiefe 21

so gewählt, dass sie tiefer als die Eindringtiefe der Borschicht 2, d.h. der ersten Schicht 2 in die n-dotierte zweite Schicht 1 ist. Durch die Wahl der Sägetiefe kann die laterale Ausdiffusion der Borschicht, bzw. die Borkonzentration - und damit die Durchbruchfeldstärke am Chiprand - bei der anschließenden Diffusion beeinflusst werden. Je größer die Sägetiefe 21, desto geringer ist die laterale Ausdiffusion und die kritische Feldstärke E_{krit} am Chiprand. Die Breite des Sägeblatts richtet sich nach Sägetiefe 21 und anschließendem Diffusionsprozess, typisch sind Sägebreiten von $100\mu m$. Durch den Sägevorgang wird dem Chip an seiner Vorderseite ein Teilbereich entnommen. Dieser Teilbereich ist in Figur 3b mit dem Bezugszeichen 7 bezeichnet. Die Breite des Teilbereichs 7 entspricht der Sägebreite.

Für den Fall, dass die Einbringung der Dotierstoffe in die Wafervorderseite bereits strukturiert erfolgt, erübrigt sich in der Regel der Sägeschnitt.

Nach dem Strukturierungsprozess findet die eigentliche Diffusion, d.h. das Eintreiben der Dotierstoffe ins Halbleitermaterial des Chips 10, d.h. insbesondere ins Silizium, statt. So wird erfindungsgemäß beispielsweise bei $1265^{\circ}C$ 90 Stunden lang diffundiert. Dabei wird ein Dotierprofil erhalten, wie es in der Figur 3c dargestellt ist. Die Dotierstoffe, die in die Unterseite des Wafers 10 bzw. des Chips 10, d.h. in die dritte Schicht 3 eingelagert wurden - vergleiche Figur 3a bzw. Figur 3b - wandern durch den Diffusionsschritt nach oben in das Halbleitermaterial hinein, welches mit der Grunddotierung versehen ist. Hierdurch wird der Bereich der dritten Schicht 3 auf Kosten

des Bereichs der zweiten Schicht 1 im Wafer 10 ausgeweitet bzw. vergrößert. Die Dotierstoffe, die in der Oberseite des Wafers 10 eingelagert wurden, sind erfindungsgemäß strukturiert vorgesehen, d.h. sie erstrecken sie nicht über die gesamte Fläche des Wafers 10 bzw. des Chips 10, sondern nur in den Teilbereichen der ersten Schicht 2, d.h. in den Chipbereichen unterhalb der Teilbereiche 7 - vergleiche die Figur 3b und 3c - ist kein Dotierstoff der ersten Schicht 2 vorhanden. Durch die Diffusion wandert jedoch der Dotierstoff, der strukturiert in die Oberseite des Wafers 10 eingebracht wurde, zum einen "senkrecht" nach unten in die Chipbereiche der mit der Grunddotierung versehenen zweiten Schicht 1 und verkleinern diese zweite Schicht 1 wiederum zugunsten der ersten Schicht 2. Zum anderen wandert der Dotierstoff jedoch auch "seitlich" in die Bereiche der zweiten Schicht 1 hinein, die sich unterhalb des Teilbereichs 7 befinden. Hierdurch verringert sich jedoch deren Konzentration, je weiter die Wegstrecke ist, die der Dotierstoff in den Teilbereich 7 - bzw. dem darunterbefindlichen Waferbereich - zurückzulegen hat. Im Bereich unterhalb des Teilbereichs 7, d.h. unterhalb des Einsägegrabens 7 ist die Bor-Dotierstoffkonzentration daher gegenüber der Konzentration in der Mitte zwischen zwei Teilbereichen 7 reduziert. Weiterhin bringt es die Diffusion bei der beschriebenen strukturierten Einlagerung der Dotierstoffe auf der Oberseite des Chips 10 mit sich, dass der Verlauf der pn-Diffusionsfront, d.h. der Verlauf der Grenzfläche 12 zwischen - im Beispiel - positiv dotierter erster Schicht 2 und - im Beispiel - negativ dotierter zweiter Schicht 1 die gewünschte und vorteilhafte Struktur bzw. Form aufweist. Die Grenzfläche 12 zeigt nämlich im Chipbereich unterhalb des Teilbereichs 7 einen

nach oben hin gekrümmten Verlauf, d.h. einen Verlauf, der nicht parallel zur Chipebene 13 ist.

5 Nach dem Diffusionsschritt wird der Wafer auf der Vorder- und der Rückseite bzw. der Ober- und der Unterseite erfindungsgemäß mit der Oberseitenmetallisierung 4 bzw. der Unterseitenmetallisierung 5 versehen, wie dies in der Figur 3d dargestellt ist. Die Metallschichten 4, 5 dienen der Kontaktierung des Chips 10. Erfindungsgemäß kann 10 insbesondere eine Chrom/Nickel/Silber-Metallisierung verwendet werden.

15 Nach der Metallisierung werden die einzelnen Chips 10 vereinzelt, beispielsweise durch Sägen, etwa mit einer Diamantsäge. Erfindungsgemäß eignet sich hierfür beispielsweise eine Diamantsäge mit einer Sägeblattbreite von 40µm. Die Sägeblattbreite zur Vereinzelung der Chips 10 ist in Figur 3e mit dem Bezugszeichen 30 dargestellt. Durch die Vereinzelung der Chips 10 eines Wafers werden 20 erfindungsgemäß die pn-Diodenchips 200 bzw. die erfindungsgemäßen Halbleiteranordnungen 200 mit reduzierter Randfeldstärke erhalten. Hierbei wird der Beveling-Winkel im Randbereich 2a der Halbleiteranordnung 200 definiert und eingestellt.

25 Die Diodenchips 200 bzw. die Halbleiteranordnung 200 werden erfindungsgemäß insbesondere in bekannter Weise in einem nicht dargestellten Gehäuse, wie zum Beispiel in einem Diodeneinpressgehäuse, verpackt.

30 Da das Trennen der Diodenchips 200 mittels einer Säge unter ungünstigen Sägeparametern - abhängig beispielsweise von

der Körnung der Diamantsplitter, dem Vorschub, der Drehzahl und dergleichen - sehr große Damagezonen 22 am Chiprand erzeugen, ist es erfindungsgemäß in vorteilhafter Weise vorgesehen, diese Damagezone 22 am Chiprand zu entfernen, 5 beispielsweise mittels nasschemischer Verfahren - beispielsweise Ätzen mittels KOH -, Gasphasenätzen oder dergleichen. Besonders vorteilhaft ist es jedoch, den Trennprozess durch andere, zerstörungsfreiere Verfahren, wie beispielsweise Ätzen oder Laserschneiden mit 10 Wasserkühlung, durchzuführen. Dadurch ist es erfindungsgemäß in einer vorteilhaften Ausführungsform möglich, auf die Entfernung der Damagezone 22 zu verzichten.

29.11.01 Sb/Pv

5

ROBERT BOSCH GMBH, 70442 Stuttgart

Ansprüche

- 10 1. Halbleiteranordnung (200) mit einem pn-Übergang,
insbesondere eine Diode, die als Chip (10) mit einem
Randbereich ausgebildet ist, die eine erste Schicht (2)
eines ersten Leitfähigkeitstyps und eine zweite Schicht (1)
eines zweiten, dem ersten Leitfähigkeitstyp
15 entgegengesetzten, Leitfähigkeitstyps umfaßt, wobei die
erste Schicht (2) einen Randbereich (2a) und einen
Mittenbereich (2b) aufweist, wobei zwischen der ersten
Schicht (2) und der zweiten Schicht (1) der pn-Übergang
vorgesehen ist, dadurch gekennzeichnet, dass die zweite
20 Schicht (2) in ihrem Randbereich (2a) schwächer dotiert
vorgesehen ist als in ihrem Mittenbereich (2b) und dass die
Grenzfläche (12) des pn-Übergangs am Randbereich (2a)
nichtparallel zur Hauptchipebene (13) vorgesehen ist.
- 25 2. Halbleiteranordnung (200) nach Anspruch 1, dadurch
gekennzeichnet, dass die Grenzfläche (12) des pn-Übergangs
am Randbereich (2a) mit einem positiven Beveling-Winkel
vorgesehen ist.
- 30 3. Halbleiteranordnung (200) nach Anspruch 1 oder 2,
dadurch gekennzeichnet, dass die Grenzfläche (12) des pn-
Übergangs am Randbereich (2a) gekrümmt vorgesehen ist.

4. Halbleiteranordnung (200) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Dicke des Chips (10) am Randbereich (2a) kleiner vorgesehen ist als am Mittenbereich (2b).

5

5. Verfahren zur Herstellung einer Halbleiteranordnung (200) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die erste Schicht (2) mittels einer strukturierten Dotierung hergestellt wird.

10

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, dass die strukturierte Dotierung mittels einer Vorbelegung des Chips (10) mit Dotierstoff, einem anschließenden Entfernen der Belegung in einem Teilbereich (7) des Chips (10) in einem nachfolgenden Eintreiben des Dotierstoffs in den Chip (10) vorgesehen ist.

15

7. Verfahren nach Anspruch 5 oder 6, dadurch gekennzeichnet, dass das Entfernen der Belegung durch Einsägen erfolgt, wobei das Einsägen insbesondere durch eine Diamantsäge oder durch wasserunterstütztes Laserschneiden erfolgt.

20

8. Verfahren nach Anspruch 5, 6 oder 7, dadurch gekennzeichnet, dass die Vorbelegung des Chips (10) mit Dotierstoff mittels APCVD-Abscheidung eines dotierten Glases oder mittels einer Dotierfolie oder mittels Gasphasenbelegung oder mittels Ionenimplantation oder mittels Aufbringen von Dotierpasten erfolgt.

25

29.11.01 Sb/Pv

5

ROBERT BOSCH GMBH, 70442 Stuttgart

10

Halbleiteranordnung mit einem pn-Übergang und Verfahren zur
Herstellung einer Halbleiteranordnung

15

Zusammenfassung

20

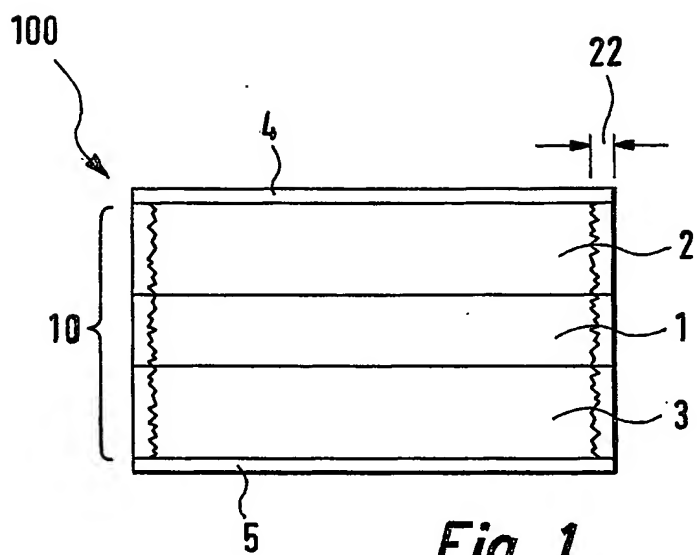
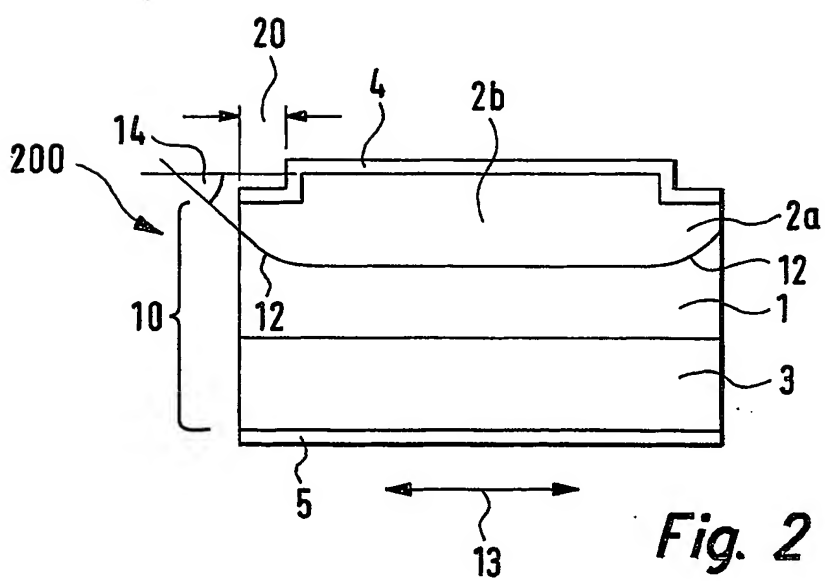
Es wird eine Halbleiteranordnung (200) mit einem pn-Übergang und ein Verfahren zur Herstellung einer Halbleiteranordnung (200) vorgeschlagen, wobei die Halbleiteranordnung (200) als Chip (10) mit einem Randbereich ausgebildet ist, wobei die Halbleiteranordnung (200) eine erste Schicht (2) eines ersten

25

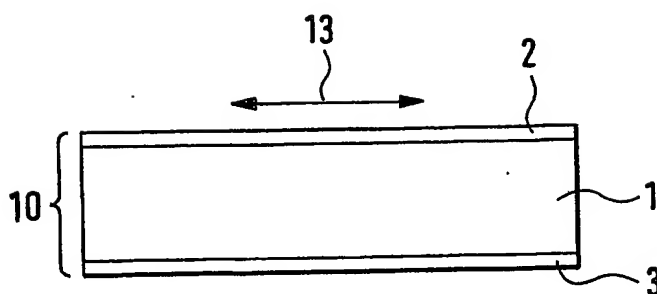
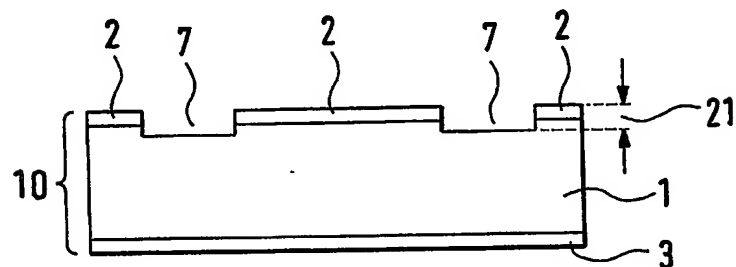
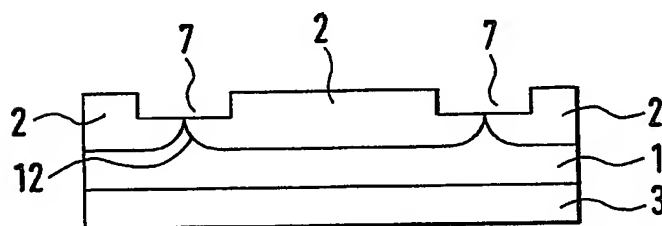
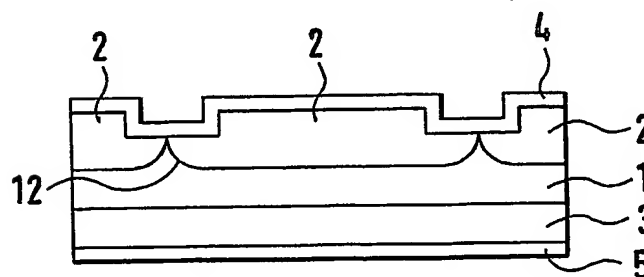
Leitfähigkeitstyps und eine zweite Schicht (1) eines zweiten, dem ersten Leitfähigkeitstyp entgegengesetzten, Leitfähigkeitstyps umfaßt, wobei die erste Schicht (2) einen Randbereich (2a) und einen Mittenbereich (2b) aufweist, wobei zwischen der ersten Schicht (2) und der zweiten Schicht (1) der pn-Übergang vorgesehen ist, wobei die zweite Schicht (2) in ihrem Randbereich (2a) schwächer dotiert vorgesehen ist als in ihrem Mittenbereich (2b) und wobei die Grenzfläche (12) des pn-Übergangs am Randbereich (2a) nichtparallel zur Hauptchipebene (13) vorgesehen ist.

30

1 / 2

*Fig. 1**Fig. 2*

2 / 2

Fig. 3a*Fig. 3b**Fig. 3c**Fig. 3d**Fig. 3e*